

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-003054

(43)Date of publication of application : 08.01.1983

(51)Int.Cl.

G06F 15/06
G06F 3/00

(21)Application number : 56-101925

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1981

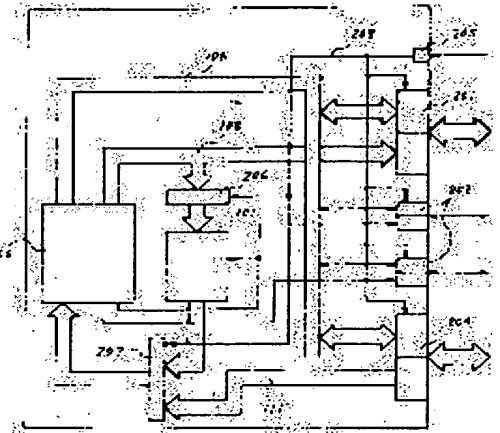
(72)Inventor : KATORI SHIGETATSU

(54) SINGLE CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To remarkably reduce both the development cost and the development period, by using in common a terminal connected to an outer program memory, and a terminal connected to an external peripheral equipment.

CONSTITUTION: The first input terminal 201 has an input/output port function and an output function of an address, the second input/output terminal 202 has an input/output port function and an output function of a control signal, and the third input/output terminal 204 has an input/output port function and an input/output function of a data. A control signal 208 controls each part of the input/output terminals 201, 202 and 204, a gate 206 and a multiplexer 207. In accordance with this signal 208, a CPU 100 reads out a program from an internal program memory 101, executes it, and executes switching as to whether the input/output terminals 201, 202 and 204 are used as a regular port terminal, or the input/output terminals 201, 202 and 204 are connected with an outer program memory and are used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—3054

⑤ Int. Cl.³
G 06 F 15/06
3/00

識別記号

庁内整理番号
7343—5B
7737—5B

⑬ 公開 昭和58年(1983)1月8日

発明の数 1
審査請求 未請求

(全 8 頁)

⑭ シングルチップマイクロコンピュータ

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—101925

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)6月30日

東京都港区芝5丁目33番1号

⑲ 発 明 者 香取重達

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

シングルチップマイクロコンピュータ

2. 特許請求の範囲

中央処理装置とメモリ入出力ポートとを内部に有するシングルチップマイクロコンピュータにおいて、前記入出力ポートが外部の周辺装置とデータ転送を行なうように制御する第1の制御手段と、前記入出力ポートが外部のメモリとデータ転送を行なうように制御する第2の制御手段とを備えたことを特徴とするシングルチップマイクロコンピュータ。

3. 発明の詳細な説明

本発明は外部端子を効果的に使用するシングルチップマイクロコンピュータに関する。シングルチップマイクロコンピュータは、中央処理装置、データメモリ、プログラムメモリ、入出力装置を

L S I 技術を用いて単一のチップ上に集積したものである。プログラムメモリとしては通常マスクROMが用いられる。これは段階で内蔵されるべきプログラムが書き込まれたROMである。したがって、このマスクROMに対する修正、変更は不可能である。もし、プログラムの修正や変更の必要が生じた場合は、新たにシングルチップマイクロコンピュータを作り直し、その製造工程で修正したプログラムを再度マスクROM内に書き込まなければならない。この為、ソフトウェアの開発ではマスクROMの代わりに自由に修正、変更が可能なRAMをシングルチップマイクロコンピュータに外付けして使用したいという要求が非常に強い。しかし、従来のシングルチップマイクロコンピュータには上述のRAMを外付けできる機能がなかった。即ち、内蔵プログラムメモリに替わる外付けメモリからプログラムを読み出して実行する機能を持っていなかった。そこで上記のシングルチップマイクロコンピュータとハードウェアでは同一機能を有し、外付けメモリからプロ

ラムを読み込んで実行するように作成された評価用LSIチップ(以下、エバチップと記す)を用いてソフトウェア開発を行なっていた。従来使われているこのエバチップを第1図の構成図を参照して説明する。CPU100はこのエバチップ全体を制御する。ポート102、103、104、105はCPU100の制御で端子単位に入力、出力の双方向に設定でき、I/Oバス106を介してエバチップ外部と入出力データのやりとりを行なう。アドレスバス端子107からは内部アドレスバス108上のアドレスがエバチップ外部に伝送される。リード信号端子109は、外付けメモリに対する読み出し制御信号を出力する。データバス端子110は外付けメモリから読み出された命令データを受け取り、CPU100は内部データバス111を介してこの命令を読み取る。ここでアドレスバス端子107、リード信号端子109、データバス端子110は、外付けメモリからプログラムを読み出す為に追加された端子機能群で、本来のシングルチップマイクロコンピュータには

ないものである。

つぎに動作を説明する。CPU100はデータバス端子110、リード信号端子109、アドレスバス端子107を用いて外付けメモリからプログラムを読み込んで実行する。また、CPU100の制御でポート102、103、104、105の入出力の設定、I/Oバス106上のデータの出力、ポート102、103、104、105上の外部データの入力が行なわれる。このエバチップは、外付けメモリからプログラムを受けて実行するので、そのためのアドレスバス、データバス、制御信号用の各端子を追加しなければならず、非常に端子数の多いLSIとなる。したがって、このエバチップ開発の為に新たに端子数の多いパッケージを作らなければならず、開発費用が増大するという欠点がある。また、1つのシングルチップマイクロコンピュータの開発にあたり、実際には量産用と上述のソフトウェア開発用との2種類のLSIを作らなければならず、開発費用及び開発期間がさらに増大するという大きな欠点がある。

る。

本発明は、上記の欠点に鑑み、外付けプログラムメモリと接続される端子と外部の周辺装置と接続される端子とを共用したシングルチップマイクロコンピュータを提供することを目的としている。

本発明によるシングルチップマイクロコンピュータは、中央処理装置と、内部プログラムメモリと、第1、第2、第3の入出力端子及び第1の入力端子と、これらを相互に接続する信号線とを有し、中央処理装置は内部プログラムメモリからプログラムを読み出して実行し、第1、第2、第3の入出力端子を入出力ポートとして使用する第1のモードと、第1の入出力端子を外部プログラムメモリへのアドレス信号出力端子とし、また第2の入出力端子をその制御信号出力端子とし、さらに第3の入出力端子を外部プログラムメモリからのデータ入力端子として使用する第2のモードとで動作し、この第1及び第2のモードの切替えは前記第1の入力端子からの制御信号に応答するようにしたことを特徴としている。

以下に、第2図を用いて本発明の一実施例を説明する。CPU100は本シングルチップマイクロコンピュータ全体を制御する。第1の入出力端子201は入出力ポート機能とアドレスの出力機能を持ち、第2の入出力端子202は入出力ポート機能と制御信号の出力機能を持ち、第3の入出力端子204は入出力ポート機能とデータの入出力機能とを持つ。第1の入力端子205から入力するコントロール信号208は、入出力端子201、202、204、ゲート206及びマルチプレクサ207の各部を制御する。この信号208によりCPU100がゲート206とマルチプレクサ207を介して内部プログラムメモリ101からプログラムを読み出して実行するとともに、入出力端子201、202、204を通常のポート端子、即ち周辺装置へ接続できる端子として使用するか、あるいは入出力端子201、202、204と外付けプログラムメモリとを接続して使用するかの切り換えが行なわれる。

つぎに本シングルチップマイクロコンピュータ

の動作を説明する。入力端子205にハイレベル"1"を入力する事により、本シングルチップマイクロコンピュータは通常の動作モード(第1モード)として動作し、内部プログラムメモリ101からプログラムを読み出して実行するとともに入出力端子201、202、204を通常の入出力ポートとして使用する。一方、入力端子205にロウレベル"0"を入力すると、本シングルチップマイクロコンピュータは内部プログラムメモリ101からのプログラムの読み出しを行わず、各ポートを外部メモリとの結合用として用いる。

則ち、入出力端子201からはアドレス信号を出力し、入出力端子202からは外部メモリへの制御信号を出力し、これによって外付けのプログラムメモリとの間で入出力端子204を介してデータ転送を行なう。入出力端子のポート操作命令で入出力端子201、202、204が周辺装置に対する入出力ポートとして機能する時のポートの出力データと各入出力指定データとを入出力端子204から、またその制御信号を入出力端子202

からそれぞれ出力する。

つぎに第3図のブロック図を用いて、第2図における入出力端子204のうちの1端子の構成及び動作を説明する。

以下、入出力端子が周辺装置に対する入出力ポートとして機能するモードをポートモード、また外部メモリに対するポートとして機能するモードをエミュレーションモードと定義する。

コントロール信号208は、入出力端子204-1の機能を指定する為の制御信号で、アンドゲート302、303、トランスファゲート312、313の開閉を制御する。ポートF/F304は、ポートモード時に入出力端子204-1から出力するデータを保持するF/Fである。モードF/F305は、ポートモード時に入出力端子204-1の入出力指定データを保持するF/Fで、この出力は出力バッファ306、トランスファゲート307、308を制御する。CPU100はモードF/F305のデータ書き込みを制御するモードF/F書き込み信号309及びポートF/F304

のデータ書き込みを制御するポートF/F書き込み信号310と、入出力端子204-1上のデータの読み取りを制御する入出力端子読み取り信号311、モードF/F書き込みサイクルとポートF/F書き込みサイクル時にアクティブ"1"となるポート制御信号315をそれぞれ発生してそれらを制御する。

つぎに動作を説明する。入力端子205にハイレベル"1"を入力する事により、コントロール信号208はハイレベル"1"となる。この結果、アンドゲート302は非選択状態でロウレベル"0"が出力され、アンドゲート303は選択状態でモードF/F305の出力状態がオアゲート314から出力され、トランスファゲート313はON状態となる。この状態では入出力端子204-1は、ポートモードとして動作する。このモードでは、ポートF/F304にポートF/F書き込み信号310の制御でI/Oバス106上のポートデータが書き込まれる。モードF/F305にはモードF/F書き込み信号309の制御でI/O

バス106上のモードデータが書き込まれる。このモードF/F305にハイレベル"1"が書き込まれると、このF/Fからはハイレベル"1"が出力され、オアゲート314からも同様にハイレベル"1"が出力される。この結果、出力バッファ306、トランスファゲート307がON状態、トランスファゲート308がOFF状態となり、ポートF/F304の内容がトランスファゲート313、出力バッファ306を介して入出力端子204-1から出力される。また入出力端子読み取り信号311に同期して、この信号がアクティブの期間、ポートF/F304の内容がトランスファゲート307及び入力バッファ316を介してI/Oバス106上に出力される。また、モードF/F305にロウレベル"0"が書き込まれると、このF/Fからロウレベル"0"が出力され、オアゲート314から同様にロウレベル"0"が出力される。この結果、出力バッファ306、トランスファゲート307がOFF状態、トランスファゲート308がON状態となり、ポートF/F

304の内容をポート端子204-1から出力することを禁止する。また、入出力端子読み込み信号311に同期してこの信号がアクティブの期間、入出力端子204-1上のデータが入力バッファ317、トランスファゲート308、入力バッファ316を介してI/Oバス106上に出力される。また、第2図において、コントロール信号208がハイレベル"1"の時、ゲート206がON状態となり、マルチプレクサ207は内部プログラムメモリ101からの出力を選択してCPU100に転送する。

以上説明したように、入力端子205にハイレベル"1"を入力する事により、CPU100は入出力端子201、202、203、204を通常のポート端子として機能させ(ポートモード)、内部プログラムメモリ101からのプログラムを読み出して実行し、通常のシングルチップマイクロコンピュータとして動作する。

つぎに入力端子205にロウレベル"0"を入力した時の動作を説明する。

を介してI/Oバス106内に入力される。また内部データバス111上には、常に入出力端子204-1上のデータが入力バッファ317を介して入力できるようにになっている。また、第2図において、ゲート206はOFF状態となり、マルチプレクサ207は、入出力端子204から転送される入力データを選択してCPU100に送出し、外部メモリ内の命令あるいはデータをCPU100に伝える。

アドレス信号を出力する機能を持つ入出力端子201、制御信号の出力機能を持つ入出力端子202の構成は、出力バッファ306にアドレス信号、制御信号がそれぞれI/Oバス106の替わりにトランスファゲート312を通して接続された事と内部データバス111が取り除かれている事を除いて同様である。したがって、ポートモード時の動作は、入出力端子201、202共に入出力端子204と同様である。また、エミュレーションモードの時で、外付けプログラムメモリのリードサイクル時には入出力端子201からは外付け

入力端子205にロウレベル"0"を入力すると、コントロール信号208はロウレベル"0"となる。アンドゲート303は非選択状態でロウレベル"0"が出力され、アンドゲート302は選択状態で、ポート制御信号315がオアゲート314から出力される。また、トランスファゲート313はOFF状態となる。この結果、ポート制御信号315がアクティブ"1"になった時だけトランスファゲート312がON状態となり、オアゲート314からハイレベル"1"が出力され、出力バッファ306がON状態となってI/Oバス106上のモードデータまたはポートデータがトランスファゲート312を介して、出力バッファ306から入出力端子204-1に出力される。それ以外の時は、出力バッファ306、トランスファゲート307はOFF状態、トランスファゲート308はON状態で、入出力端子読み込み信号311がアクティブ"1"の期間だけ入出力端子204-1上のデータが入力バッファ317、トランスファゲート308、入力バッファ316

プログラムメモリのアドレス信号が、また入出力端子202からは制御信号が出力される。

一方、出力ポートデータ、入出力指定データの外付けラッチへのライトサイクル時には、入出力端子201からは外付けラッチに対するアドレス信号が、また入出力端子202からはそれへの制御信号がそれぞれ出力される。

今、CPUがエミュレーションモードで動作している時は、各ポートは外部メモリと接続されているため、単純に考えれば、周辺装置をCPUへ接続することができなくなる。しかしこの不都合は以下に示すように本発明には生じない。これを第4図のブロック図を用いて説明する。

これはエミュレーションモードにより失なわれた周辺装置に対するポート機能を簡単な回路を付加することによって補償する一例で、その一端子分の構成を示す。シングルチップマイクロコンピュータ400はエミュレーションモードで使用しているので、チップの入出力端子204はデータバス端子、入出力端子、201はアドレスバス端

子、入出力端子202-1はライト信号端子、入出力端子202-2はリード信号端子として、それぞれ機能しており、外部のメモリと接続されている。従って、これらの入出力端子が本来持っているポート機能は破線内の回路で補償される。第3図で説明した入出力端子204-1は第2図の入出力端子204内の1つの端子に対応し、この入出力端子が本来持つポート機能は第4図のポート端子409で実現される。この破線内の回路は、アドレスバス、データバス、リード信号、ライト信号の各端子として使用されるポート端子の数だけ必要とされるが、すべて同じ回路構成でよい。プログラムメモリ405はシングルチップマイクロコンピュータ400が実行するプログラムを格納する外付けメモリで、シングルチップマイクロコンピュータ400はデータバス406、アドレスバス407、リード信号408の制御で外付けプログラムメモリ405からプログラムを受け取って実行する。ポートラッチ410はポート端子409から出力するデータを保持するラッチで、

を制御するモードラッチ書き込み信号423とを作り出す。

つぎに第5図、第6図、第7図、第8図のタイミング図を参照して動作を説明する。まず、外付けプログラムメモリ405からプログラムを読み出すリードサイクルの動作を説明する。シングルチップマイクロコンピュータ400はアドレスバス407上に1500のタイミングでプログラムメモリ405に対するアドレス信号を出力し、続いてリード信号408を1501のタイミングでアクティブ・0にする。プログラムメモリはこの1501のタイミングからデータバス406上にデータを出力し、シングルチップマイクロコンピュータ400は1502のリード信号408が立ち上がるタイミングに同期して、この出力データをデータバス端子として機能している入出力端子204から取り込む。次にモードラッチ411にモードデータを書き込むライトサイクルの動作を第6図をもちいて説明する。シングルチップマイクロコンピュータ400は1600のタイミン

第3図のポートF/F304と同じ機能を持つ。

モードラッチ411はポート端子409の入出力指定データを保持するラッチで、このラッチの出力データは出力バッファ420、入力バッファ414、415を制御する。又、このラッチは第3図のモードF/F305と同様の機能を持つ。アンドゲート416はアドレスバス407上のポートラッチ410に対するアドレス信号とリード信号408から、入力バッファ414または415を制御するポート端子読み込み信号421を作り出す。この制御信号は第3図の入出力端子読み込み信号311と同じ働きをする。アンドゲート417はアドレスバス407上のポートラッチ410に対するアドレス信号と、ライト信号419からポートラッチ410にデータバス406上のポートデータの書き込みを制御するポートラッチ書き込み信号422とを作り出す。アンドゲート418はアドレスバス407上のモードラッチ411に対するアドレス信号と、ライト信号419からモードラッチ411にデータバス406上のモードデータの書き込み

グでアドレスバス407上にモードラッチ411のアドレス信号を、また同じタイミングでポート制御信号315をアクティブ・1にし、入出力端子204からモードデータを出力する。

続いて、モードF/F書き込み信号309がアクティブ・1になる1601から1602の間、ライト信号419がアクティブ・0となり1602のライト信号419が立ち上がるタイミングに同期してモードラッチ書き込み信号423が立ち下がり、このタイミングでデータバス406上のモードデータがモードラッチ411に書き込まれる。

次にポートラッチ410にポートデータを書き込むライトサイクルの動作を第7図を用いて説明する。シングルチップマイクロコンピュータ400は1700のタイミングでアドレスバス407上にポートラッチ410のアドレス信号を、また同じタイミングでポート制御信号315をアクティブ・1にし、入出力端子204からポートデータを出力する。

続いてポートF/F書き込み信号310がアク

タイプ"1"になる1701から1702の間、ライト信号419がアクティブ"0"となり、1702のライト信号419が立ち上がるタイミングに同期してポートラッチ書き込み信号422が立ち下がり、このタイミングでデータバス406上のモードデータがポートラッチ410に書き込まれる。モードラッチ411にハイレベル"1"がラッチされている時は出力バッファ420はON状態となり、ポートラッチ410にラッチされたデータは、出力バッファ420を介してポート端子409に出力される。モードラッチ411にロウレベル"0"がラッチされている時は、出力バッファ420がOFF状態となり、ポートラッチ410にラッチされたデータはポート端子409に出力されない。

次にポートのリードサイクルの動作を第8図のタイミング図を参照して説明する。モードラッチ411にハイレベル"1"がラッチされている時は、アンドゲート413が選択状態、アンドゲート412が非選択状態になり、またモ

ードラッチ411にロウレベル"0"がラッチされている時は、アンドゲート412が選択状態、アンドゲート413が非選択状態になっている。シングルチップマイクロコンピュータ400はアドレスバス407に1800のタイミングでポートラッチ410のアドレス信号を出力する。続いて1801から1802の間入出力端子読み込み信号311をアクティブ"1"にし、同じ1801から1802の間リード信号408をアクティブ"0"する。これによりポート端子読み込み信号421がアクティブ"1"になる。これに同期して、モードラッチ411にハイレベル"1"がラッチされている時は、アンドゲート413が選択され、入力バッファ415がON状態となり、ポートラッチ410の内容がデータバス406上に出力され、また、モードラッチ411にロウレベル"0"がラッチされている時は、アンドゲート412が選択され入力バッファ414がON状態となり、ポート端子409上のデータがデータバス406上に出力される。シングルチップマイク

ロコンピュータ400は1802のタイミングでリード信号408を発生してポート端子読み込み信号421を解除する。これに同期して、データバス406上のデータはシングルチップマイクロコンピュータ400の内部に取り込まれる。

以上説明したように入力端子205に、ロウレベル"0"を入力する事によりCPU100は入出力端子201、202、204を使って外付けプログラムメモリからプログラムを読み出して実行するとともに、入出力端子201、202、204が持つポートの機能を外付けの回路で完全に実現する事ができる。したがって本発明により量産用シングルチップマイクロコンピュータをそのままエパチップとして使用する事が可能となり、特別にエパチップを作る必要がない。

本発明はシングルチップマイクロコンピュータの開発において、エパチップの開発を必要とせず、開発費用、開発期間を大幅に削減できるという大きな利点がある。また、ソフトウェア開発の為に特別に開発されたエパチップを使う必要がなく、

非常に安価なエパチップを提供する事が可能である。

尚、端子205からのコントロール信号をCPUから発生するようにしたり、又これをエミレイションモードにおいて、周辺装置とのデータ転送時のみ"1"にするように切り替えてやれば、第4図に示す破線部の外部回路を省略することもできる。この発明は端子を複数の機能として使用する時、即ち共用端子として使用する時のすべてに適用できることは明らかである。

4. 図面の簡単な説明

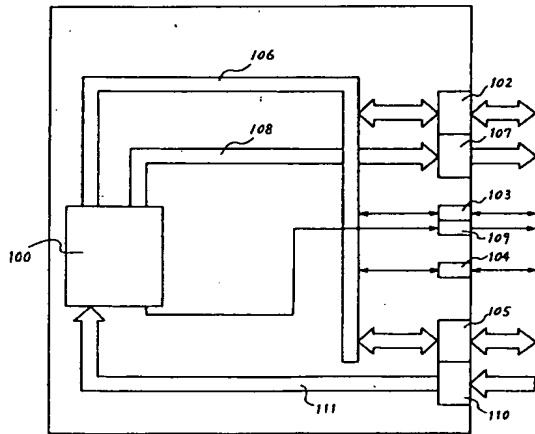
第1図はシングルチップマイクロコンピュータソフトウェア開発用の従来のエパチップのブロック図、第2図は本発明の一実施例によるシングルチップマイクロコンピュータのブロック図、第3図は第2図のシングルチップマイクロコンピュータの入出力端子部分の詳細な回路図、第4図は第2図のシングルチップマイクロコンピュータを用いたシステムの回路図、第5図は外付けプログラ

メモリのリードサイクルのタイミング図、第6図は外付けポート用モードラッチのライトサイクルのタイミング図、第7図は外付けポート用ポートラッチのライトサイクルのタイミング図、第8図は外付けポートのリードサイクルのタイミング図である。

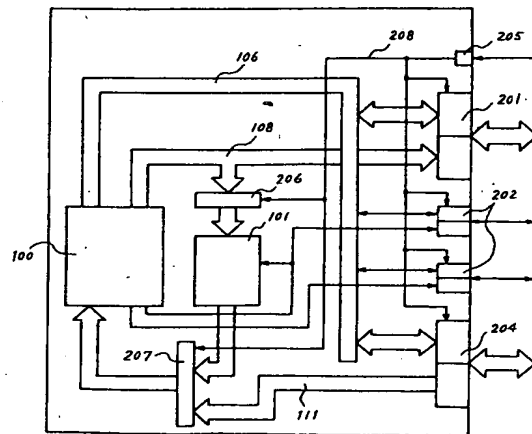
100……CPU、101……プログラムメモリ、102、103、104、105……ポート、106……I/Oバス、107……アドレスバス端子、108……内部アドレスバス、109……リード信号端子、110……データバス端子、111……内部データバス、201、202、202-1、202-2、204、204-1……入出力端子、205……入力端子、206……ゲート、307、308、312、313……トランスファゲート、207……マルチプレクサ、208……コントロール信号、302、303、412、413、416、417、418……アンドゲート、304……ポートF/F、305……モードF/F、306、420……出力バッファ、

309……モードF/F書き込み信号、310……ポートF/F書き込み信号、311……入出力端子読み込み信号、314……オフゲート、315……ポート制御信号、316、317、414、415……入力バッファ、400……シングルチップマイクロコンピュータ、405……外付けプログラムメモリ、406……データバス、407……アドレスバス、408……リード信号、410……ポートラッチ、411……モードラッチ、419……ライト信号、421……ポート端子読み込み信号、422……ポートラッチ書き込み信号、423……モードラッチ書き込み信号、

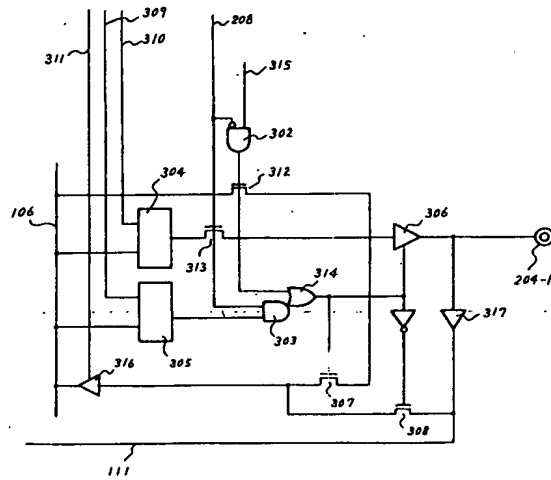
代理人 弁理士 内 原 晋



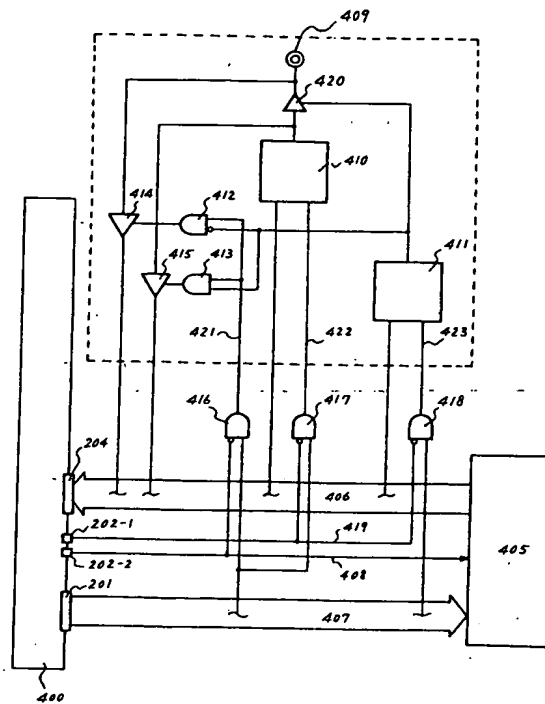
第 1 図



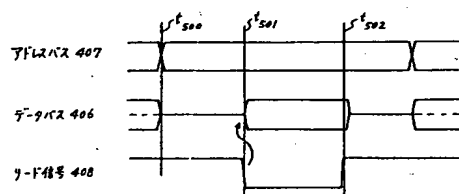
第 2 図



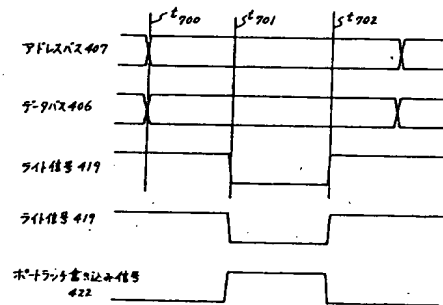
第 3 図



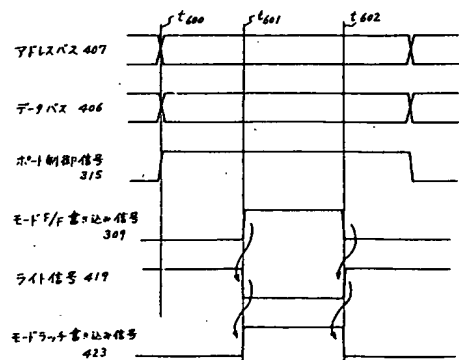
第 4 図



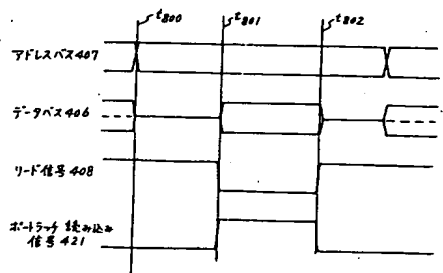
第 5 図



第 7 図



第 6 図



第 8 図